



Politechnika Wroclawska

Wydział Elektroniki Mikrosystemów i Fotoniki

hw

LABORATORIUM  
ELEMENTÓW i UKŁADÓW  
ELEKTRONICZNYCH

Opracował zespół: Marek Panek, Waldemar Oleszkiewicz, Ryszard Korbutowicz, Iwona Zborowska-Lindert, Bogdan Paszkiewicz, Małgorzata Kramkowska, Zdzisław Synowiec, Beata Ściana, Irena Zubel, Tomasz Ohly, Bogusław Boratyński

## Ćwiczenie nr 9

### Układy scalone CMOS

#### I. Zagadnienia do samodzielnego przygotowania:

- zasada działania i charakterystyki I-U tranzystorów MOSFET
- budowa i zasada działania inwertera logicznego CMOS
- podstawowe parametry statyczne i dynamiczne (napięcie zasilania, stany logiczne, moc tracona, czasy propagacji i charakterystyka przejściowa) układów CMOS
- tablice prawdy dla dwuwejściowych bramek logicznych AND, NAND, OR, NOR

#### II. Program zajęć:

- sprawdzenie działania (realizacji funkcji logicznych) bramek
- pomiar czasu propagacji sygnału przez bramkę
- pomiar mocy pobieranej przez bramkę w zależności od częstotliwości przełączania
- pomiar charakterystyki przełączania bramki

#### III. Literatura

1. J. Baranowski, B. Kalinowski, Z. Nosal, Układy elektroniczne cz.III, WNT 1994,
2. U. Tietze, Ch. Schenk, Układy półprzewodnikowe, WNT 2009,
3. J. Kalisz, Podstawy elektroniki cyfrowej, WKiŁ 1993
4. Notatki z WYKŁADU

Wykonując pomiary **PRZESTRZEGAJ** przepisów BHP związanych z obsługą urządzeń elektrycznych.

# 1. Wiadomości wstępne

## 1.1 Cyfrowe układy scalone - charakterystyka ogólna

Monolityczne krzemowe układy cyfrowe są wytwarzane w różnych technologiach i stopniach scalenia. W ramach technologii bipolarnej (dominujący element – tranzystor bipolarny *npn*) produkowane są układy TTL i ECL, a w technologii MOS (dominujący element – tranzystor polowy MOSFET) rodziny układów NMOS i CMOS. Układy CMOS (komplementarna technologia MOS) zbudowane są z powtarzających się elementów bazujących na dwóch tranzystorach MOSFET normalnie wyłączonych o przeciwnych (*komplementarnych*) typach kanałów (kanał typu-n oraz kanał typu-p).

Układy cyfrowe małej skali integracji, takie jak bramki (*gates*) czy przerzutniki (*flip-flops*), są wytwarzane w technologii „zaawansowanej” (*advanced*) TTL oraz CMOS. Natomiast technologie ECL, NMOS, i przed wszystkim CMOS stosowane są w układach wielkiej (LSI) i bardzo wielkiej (VLSI) skali integracji (pamięci, procesory). W układach VLSI stosuje się także łączenie technologii, bipolarnych (np. ECL) i CMOS, czyli technologię BiCMOS.

Układy cyfrowe, niezależnie od technologii wykonania, skali integracji, czy zastosowania realizują funkcje logiczne opisane algebrą Boole’a. W stanie ustalonym wejścia i wyjścia układów mogą przyjmować stan **0** lub **1**, co odpowiada określonym wartościom napięcia, ustalonym dla danej rodziny układów. **Dla** zwykle stosowanej **logiki dodatniej stan 0 oznacza stan niski (*Low*) – napięcie  $U_L$ , a stan wysoki (*High*) – napięcie  $U_H$** . Podstawowe układy cyfrowe to bramki logiczne NAND, AND, NOR, OR, NOT (**inwerter**). Najbardziej uniwersalne są bramki NAND, gdyż umożliwiają realizację pozostałych funkcji logicznych poprzez kombinację połączeń wielu identycznych bramek.

## 1.2 Podstawowe parametry układów cyfrowych

Zasadnicze parametry układów cyfrowych to:

- Czas propagacji,  $\tau_p$
- Moc strat, P
- Współczynnik dobroci, Q
- Marginesy szumowe, M
- Obciążalność, N
- Napięcie zasilania,  $U_{CC}$
- Zakresy napięć dla stanów logicznych **0** i **1**

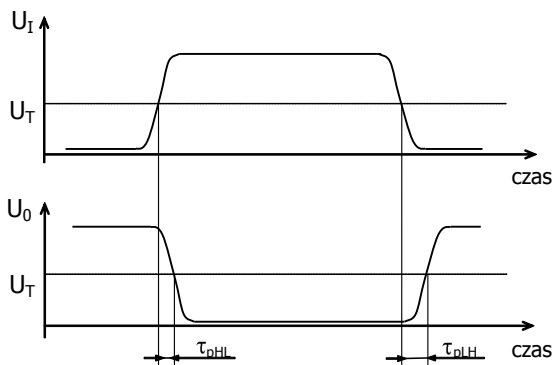
Wartości tych parametrów są z reguły różne dla różnych rodzin układów i dlatego łączenie odmiennych grup wymaga stosowania układów pośrednich zapewniających „zgodność łączeniową”.

### **CZAS PROPAGACJI**

Niezależnie od rodzaju technologii (rodziny układów), np. TTL czy CMOS, poszczególne tranzystory w układzie cyfrowym pracują dwustanowo. Albo są w stanie załączenia, albo w stanie wyłączenia, czyli odcięcia (wyjątek stanowi rodzina układów bipolarnych ECL). W związku z pewnym czasem potrzebnym na zmianę punktu pracy, w momencie przełączania występuje opóźnienie pomiędzy sygnałem na wyjściu i wejściu danego układu (np. bramki). Z punktu widzenia układu, czas ten potrzebny jest na przeładowanie pojemności złączowych i dyfuzyjnych w tranzystorach bipolarnych, a w tranzystorach MOSFET pojemności bramka-kanał. Dodają się także pojemności pasożytnicze (ścieżek połączeń, doprowadzeń) i pojemności obciążającej układ na wyjściu. Zazwyczaj do wyjścia układu podłączonych jest kilka wejść następnych układów. **Opóźnienie sygnału, zwane czasem propagacji,  $\tau_p$**  jest podstawowym parametrem charakteryzującym daną rodzinę układów i wskazuje na ograniczenie szybkości działania (częstotliwości pracy) układu. Typowe wartości czasów propagacji są **rzędu nanosekund** (wolne układy: rząd 100ns, szybkie: rząd kilku 0,1ns).

**Sposób pomiaru czasu propagacji za pomocą obserwacji sygnałów wyjściowego  $U_0$  i wejściowego  $U_1$  bramki pokazano na rys.1.**

Odstęp czasowy na zboczach sygnałów mierzy się dla określonej wartości amplitudy napięcia wejściowego (tzw. napięcia przełączania,  $U_T$ ) i wyznacza średnią arytmetyczną:



$$\tau_p = (\tau_{pLH} + \tau_{pHL})/2$$

Rys. 1. Definicja czasów propagacji sygnału.

**Dla układów CMOS wejściowe napięcie przełączania to  $1/2 U_{CC}$**  (z wyjątkiem układów typów ACT, HCT zastępujących TTL, gdzie napięcie to wynosi 1,4V).

**W praktyce, pomiaru oscyloskopem dokonujemy „nakładając przebiegi na siebie” i mierząc czas opóźnienia w połowie amplitudy sygnałów wejściowego i wyjściowego.**

**Pomiary powinny być wykonane w ustalonych warunkach, przede wszystkim dla ustalonej pojemności obciążenia,  $C_{obc}$  układu.**

#### MOC STRAT

Moc strat jest bardzo istotnym parametrem ograniczającym możliwości zasilania układu z baterii (sprzęt mobilny) oraz stopień scalania układu ze względu na rosnącą gęstość mocy rozpraszanej i wzrost temperatury układu.

Generalnie, moc strat wyraża się zależnością:

$$P = U_{CC} \cdot I_{CC} \quad \text{gdzie: } U_{CC} - \text{napięcie zasilacza, } I_{CC} - \text{prąd pobierany z zasilacza}$$

Całkowita moc strat składa się z mocy statycznej  $P_{stat}$ , czyli mocy traconej w stanie ustalonym **1** i **0** oraz mocy dynamicznej  $P_{dyn}$ . Ta ostatnia zależy od szybkości przełączania układu (częstotliwości zegara  $f_z$  w układach sekwencyjnych). Typowe wartości mocy strat przeliczonej na jedną bramkę to rząd miliwatów (od mikrowatów  $P_{stat}$  w układach CMOS do 10mW ÷ 100mW w układach TTL. Moc dynamiczna zależy głównie od pojemności obciążającej układ, która jest przeładowywana prądem  $I_{CC}$  pobieranym z zasilacza. Rośnie ona liniowo ze wzrostem częstotliwością przełączania  $f_z$ :

$$P_{dyn} = U_{CC}^2 C_{obc} f_z \quad \text{ponieważ } I_{CC} = U_{CC} C_{obc} f_z$$

Pomiędzy czasem propagacji i mocą strat istnieje następująca współzależność:

$$\text{gdy } \tau_p \downarrow \quad \text{to } P \uparrow$$

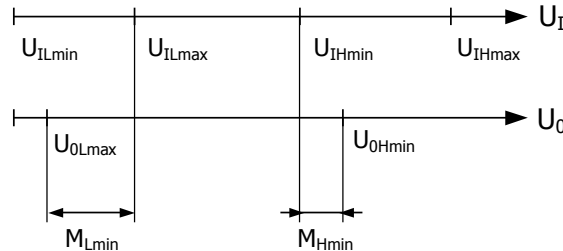
dlatego, przy ocenie porównawczej układów różnych rodzin stosuje się **współczynnik dobroci**  $Q = \tau_p \cdot P$ . Generalnie, układ jest lepszy, gdy charakteryzuje się mniejszym współczynnikiem  $Q$ .

## MARGINESY ZAKŁÓCEŃ

Marginesy zakłóceń (zwane też marginesami szumowymi) to różnice wartości napięć na wejściu i wyjściu dla jednakowego stanu **0** oraz **1**. Określają maksymalną amplitudę sygnału zakłócającego, który jeszcze nie spowoduje niepożądanego przełączenia układu:

$$M_{Lmin} = |U_{ILmax} - U_{OLmax}| \quad \text{oraz} \quad M_{Hmin} = |U_{IHmin} - U_{OHmin}|$$

Interpretacja marginesów zakłóceń przedstawiona jest na rys. 2.



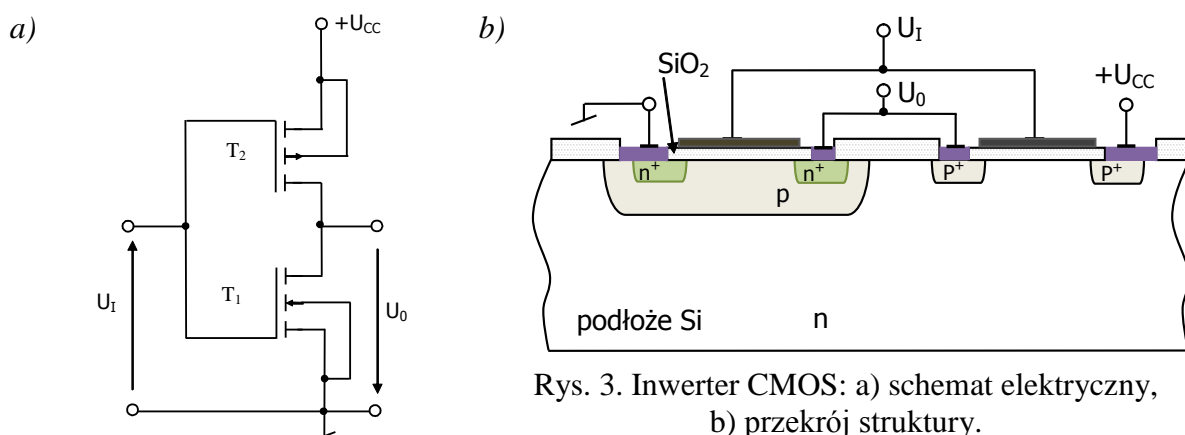
Rys. 2. Definicje marginesów zakłóceń,  $U_I$ ,  $U_O$  – poziom napięć na WE i WY.

## OBCIĄŻALNOŚĆ

Obciążalność służy do określenia możliwości współpracy wielu układów w ramach tej samej grupy (rodziny). Jest miarą ilości wejść, które mogą być jednocześnie podłączone do jednego wyjścia analogicznego układu (sterowane przez wyjście jednej bramki). Wartość ta wynosi od 10 do 40 w zależności od rodziny układów. W układach CMOS, gdzie wejście bramki ma charakter pojemnościowy (pojemność MOS bramka-kanal z izolatorem  $\text{SiO}_2$ ) zwiększenie całkowitej pojemności obciążającej wyjście spowoduje wzrost czasu propagacji.

## 1.3 Budowa układu CMOS

Podstawową komórką układów CMOS (komplementarna technologia MOS) jest inwerter logiczny, zbudowany z dwóch tranzystorów MOSFET normalnie wyłączonych (E-MOSFET) o różnych typach kanałów (rys. 3)

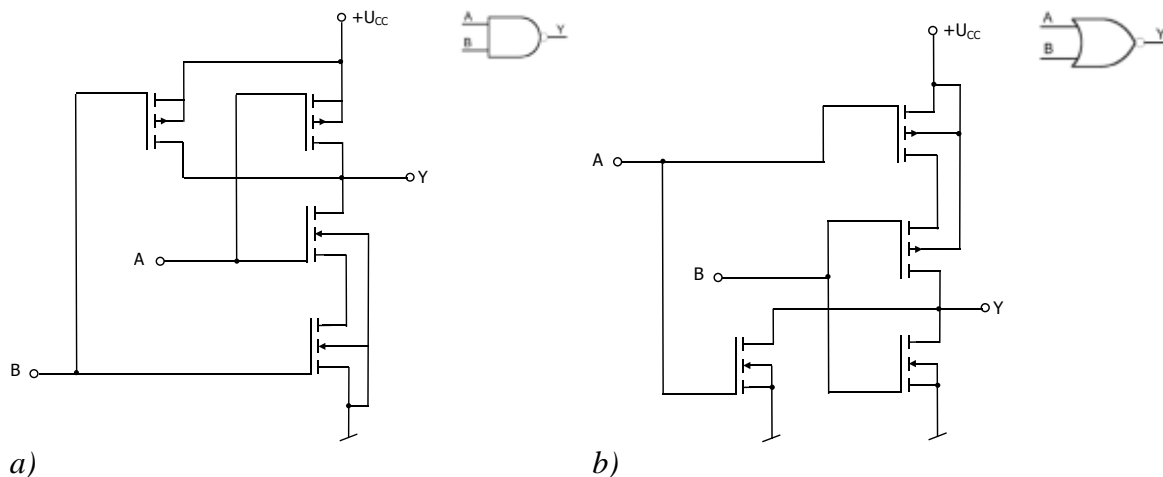


Rys. 3. Inwerter CMOS: a) schemat elektryczny, b) przekrój struktury.

Inwerter tworzą dwa tranzystory z kanałami wzbogacanymi typu-n ( $T_1$ ) oraz typu-p ( $T_2$ ), przy czym dreny i bramki tych tranzystorów są połączone ze sobą, natomiast źródła i podłoża są przyłączone do linii zasilania (rys. 3a). Gdy napięcie wejściowe jest równe napięciu zasilania  $U_I = U_{CC}$ , tranzystor  $T_1$  jest w stanie przewodzenia, a tranzystor  $T_2$  nie przewodzi. Wówczas napięcie wyjściowe jest, praktycznie biorąc bliskie 0V, czemu odpowiada stan logiczny „0”. Natomiast, gdy napięcie wejściowe jest równe 0, tranzystor  $T_1$  jest w stanie nieprzewodzenia

a tranzystor  $T_2$  w stanie przewodzenia. Wówczas napięcie wyjściowe jest, praktycznie biorąc, równe napięciu zasilania  $U_{CC}$ . Odpowiada temu stan logiczny wysoki, czyli „1”.

Na rys. 4 pokazano układ elektryczny oraz symbol dwuwejściowej bramki CMOS NAND oraz NOR.



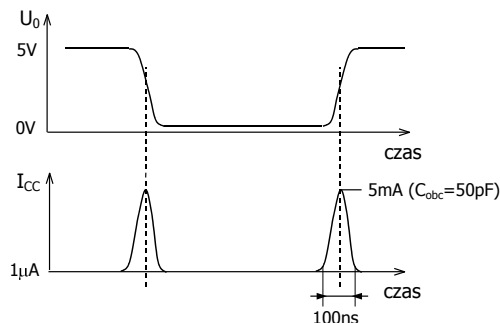
Rys. 4. Układ elektryczny oraz symbol dwuwejściowej bramki CMOS: a) NAND, b) NOR.

Układy CMOS stanowią dziś podstawową grupę układów VLSI. Także w małej skali integracji (SSI) układy bramek i przerzutników w technologii CMOS odgrywają istotną rolę, zastępując układy TTL w zastosowaniach wymagających ograniczenia mocy pobieranej z zasilacza. Możliwe jest więc długoczasowe zasilanie bateryjne.

Podstawową zaletą układów CMOS jest minimalna moc statyczna (rzędu mikrowatów), gdyż zawsze jeden z tranzystorów nie przewodzi. W stanie ustalonym **1** lub **0** jeden z tranzystorów inwertera jest wyłączony i pobór prądu jest zablokowany (z wyjątkiem niewielkiego prądu pasożytniczego upływu). Straty mocy rosną intensywnie dopiero przy znacznym zwiększeniu częstotliwości przełączania. W chwili przełączenia obydwa tranzystory są chwilowo załączone. Moc dynamiczna rośnie liniowo z częstotliwością pracy:

$$P_{\text{dyn}} = U_{CC}^2 C_{\text{obc}} f_z$$

Na rys. 5 przedstawiono wykres poboru prądu z zasilania w czasie pracy układu CMOS (tu wersja 4000B – stąd długie czasy propagacji).



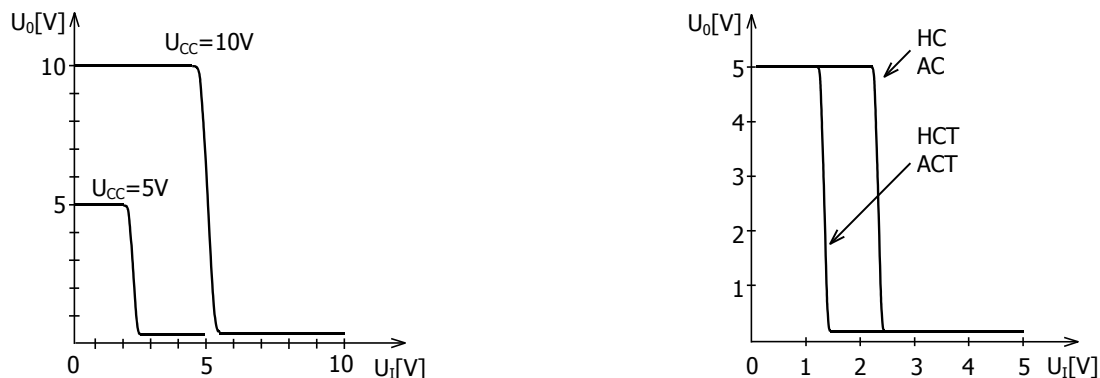
Rys. 5 Pobór prądu przez bramkę CMOS (4000B) w czasie przełączania.

Ponieważ moc tracona jest proporcjonalna do kwadratu napięcia zasilania, układy CMOS VLSI (procesory, pamięci) dostosowane są do niższego napięcia zasilania: 3,3V lub 2,5V. W tym ostatnim przypadku, w porównaniu z zasilaniem 5V, zmniejszenie mocy jest czterokrotne:

$$(5/2,5)^2 = 4$$

Niskie napięcie zasilania niesie dodatkową zaletę: mały poziom zakłóceń elektromagnetycznych wnoszonych przez sam układ. Także układy CMOS o małej szybkości działania zasilane z baterii (w zegarkach, kalkulatorach, itp.) mają obniżone napięcia zasilania, nawet do 0,8V – 1,5V. Praca przy różnych napięciach zasilania układu CMOS jest możliwa dzięki unikatowej charakterystyce przejściowej (przełączania) układu (rys. 6).

Napięcie stanów wysokiego, **H** i niskiego, **L** to odpowiednio  $U_{CC}$  (napięcie zasilania) oraz 0V (masa), a napięcie przełączania  $U_{HT} = \frac{1}{2} U_{CC}$  (wyjątek stanowią układy serii HCT i ACT, zamienniki TTL, dla których  $U_{HT} = 1,4V$ ). Dzięki temu układy CMOS mają duże marginesy zakłóceń i są odporne na zakłócenia nawet dla niewielkich amplitud sygnału logicznego. Układy serii 4000B (74C) pozwalają na pracę w szerokim zakresie napięć zasilania 3-18V i znajdują zastosowanie w warunkach dużych zakłóceń zewnętrznych.



a) b)  
Rys. 6. Charakterystyki przejściowe CMOS: a) układ 4000B (74C) dla różnych wartości napięć zasilania, b) układy HC, HCT dla zasilania 5V.

Podstawowe parametry układów wybranych serii podano w Tabeli 1.

TABELA 1

Rodzina	Oznaczenie	$U_{CC}$ [V]	$\tau_p$ [ns]	$f_{pracy}$ [MHz]
Z bramką MOS metaliczną	4000B (74C)	3 - 18	125	4
Szybkie	HC	2 - 6	8	50
Szybkie (zamienniki TTL)	HCT	5	8	50
Zaawansowane	AC, (AHC)	2 - 6	3 (5,2)	160 (115)
Zaawansowane (zamienniki TTL)	ACT, (AHCT)	5	3 (5,2)	160 (115)
Niskonapięciowe	LV	2 - 5,5	9	70
Zaawans. niskonapięciowe	ALVC	1,2 - 3,6	3	300

Uwaga: Poza serią 4000B, wszystkie inne mają bramki tranzystorów MOSFET z krzemu polikrystalicznego (tzw. bramki polikrzemowe)

**Podczas obsługi (montażu) układów CMOS należy postępować ostrożnie, gdyż układy są wrażliwe na ładunki elektrostatyczne. Może nastąpić przebicie tlenku bramkowego w tranzystorach MOSFET. Mimo istniejących wewnętrznych zabezpieczeń, wyprowadzeń nie należy dotykać!**

Niepodłączone wejścia bramek należy zawsze dołączyć do  $U_{cc}$  lub masy w zależności od konfiguracji układu. Konieczne jest to nie tylko ze względu na niepożądane zakłócenia, ale także możliwość ładowania się wejścia i przejście w stan poboru prądu z zasilacza (straty mocy – grzanie się układu).

## 2. Pomiary

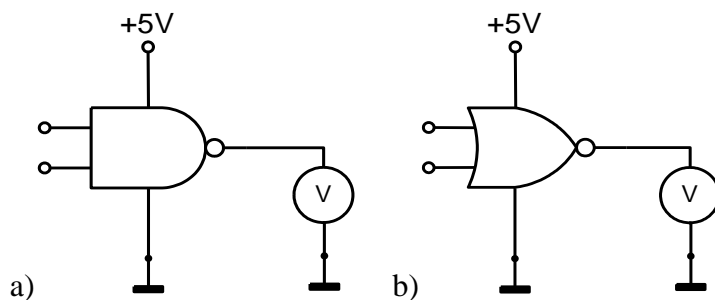
W ramach ćwiczenia badane są właściwości wybranych układów scalonych CMOS (seria 4000B), np.: (MCY) 74001, 74011.

**Należy sprawdzić w katalogu rodzaj i typ badanego układu (w tym realizowaną funkcję logiczną).**

### 2.1 Sprawdzenie działania (realizacji funkcji logicznych) bramek

W katalogu odszukać dane techniczne badanych układów. Zapisać funkcje logiczne i poziomy napięć odpowiadających stanom logicznym *Low* (**0**) i *High* (**1**) badanych układów.

Połączyć układy pomiarowe jak na rysunku 7.



Rys.7. Sprawdzenie funkcji logicznych bramek typu a) NAND, b) NOR.

Uwaga: Schemat pokazuje tylko pojedynczą bramkę dwuwejściową, układy składają się zwykle z kilku bramek.

Zasilić badany układ napięciem **5V**. Do wejść doprowadzić napięcia odpowiadające stanom **0** i **1**. Najprościej można to zrobić łącząc wejścia z masą (stan **0**) i +5V (stan **1**) zasilacza. Odczytać z woltomierza i zapisać napięcia wyjściowe dla wszystkich kombinacji napięć wejściowych stanów logicznych. **Utworzyć tabelę prawdy układu.**

**Sprawdzenie wykonać dla wszystkich bramek w danym układzie scalonym. Jeśli nie wszystkie bramki w danym układzie są sprawne należy wymienić układ na nowy i badanie powtórzyć.**

### 2.2 Pomiar czasu propagacji sygnału przez bramkę.

Połączyć układ pomiarowy wg rys. 8.

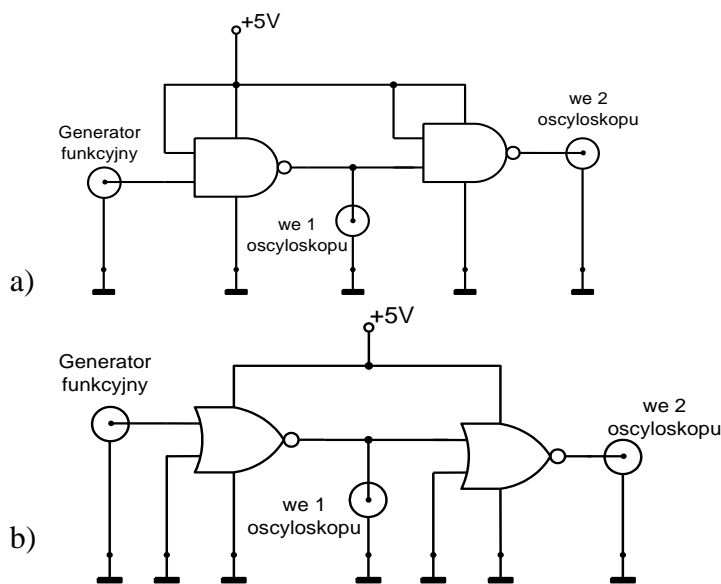
**Na początku nie podłączać generatora i oscyloskopu do bramek.**

*Ustawienie sygnału generatora: Podłączyć wyjście generatora funkcyjnego do wejścia-1 oscyloskopu. Oscyloskop ma pracować w trybie DC z włączoną podstawą czasu. Wybrać w generatorze sygnał prostokątny o amplitudzie 5V i składową stałą taką, aby sygnał zawierał się w zakresie 0÷5V (pod warunkiem, że układ badany zasilany jest napięciem 5V). Pominięcie tego etapu grozi uszkodzeniem układu scalonego, bo sygnał wejściowy nie może przekraczać napięć zasilających*

**Podłączyć generator funkcyjny i oscyloskop do badanego układu.** Pierwsza bramka pełni rolę pomocniczą i formuje impulsy z generatora. Należy zmierzyć czasy propagacji drugiej bramki. Jeśli dysponujemy generatorem o dobrej jakości impulsów (strome zbocza, czas narostu rzędu ns) można ograniczyć układ tylko do jednej bramki.

W zależności od czasu propagacji bramek dobrać częstotliwość impulsów z generatora. Na przykład 10kHz dla serii 4000B.

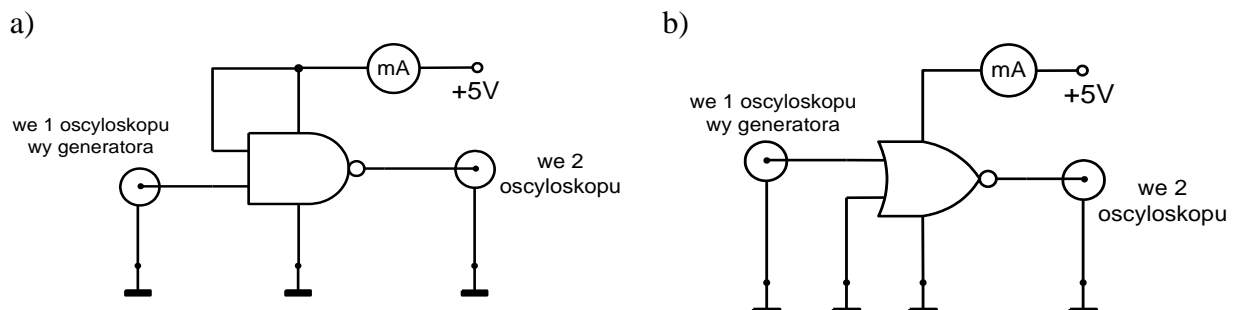
- wyznaczyć czasy propagacji bramki z definicji podanej na rys.1
- dla układu CMOS 4000B zmierzyć czasy propagacji dla różnych napięć zasilania: 3V, 5V, 7V. Uwaga: W każdym przypadku należy wcześniej ustawić amplitudę impulsów generatora równą danemu napięciu zasilania. Zaobserwować różnice wartości czasów propagacji; wyniki ująć w tabeli.
- przerysować lub wydrukować odpowiednie wykresy z ekranu oscyloskopu (przykład dla jednego napięcia zasilania i dołączyć do sprawozdania).



Rys. 8. Układ do pomiaru czasów propagacji bramek a) NAND, b) NOR.

### 2.3 Pomiar mocy pobieranej przez bramkę w zależności od częstotliwości przełączania.

Połączyć układ pomiarowy wg rys. 9.



Rys. 9. Układ do pomiaru mocy pobieranej przez bramki a) NAND, b) NOR.

Generator funkcyjny ustawić tak jak do pomiaru czasu propagacji sygnału przez bramkę i podłączyć do badanej bramki. Na oscyloskopie sprawdzić, czy bramka przełącza sygnał na



wyjściu. Amperomierzem (DC) zmierzyć średni prąd pobierany przez bramkę w zależności od częstotliwości przełączania. Pomiar wykonać w zakresie częstotliwości 100Hz÷10MHz, zmieniając częstotliwość co 1 dekadę chyba, że wcześniej bramka przestanie się przełączać. (Dlaczego tak może się stać?)

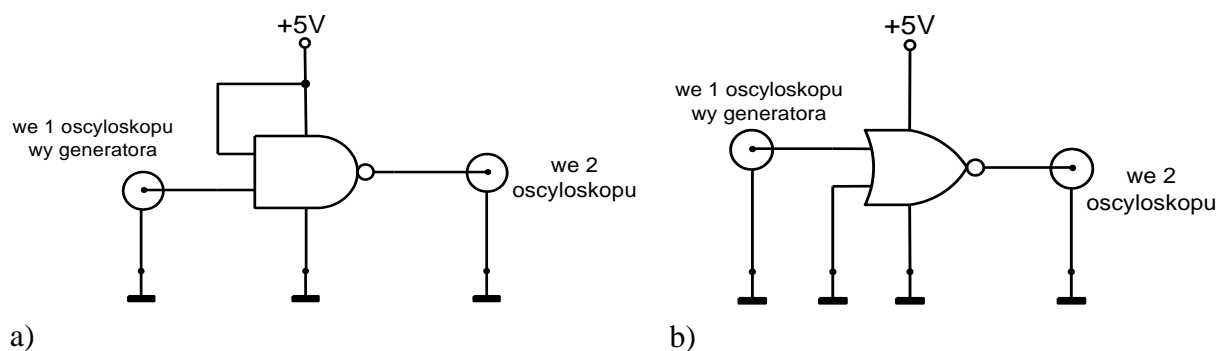
- **Zapisać wyniki w tabeli. Narysować wykres otrzymanej zależności.**

### Pomiary dodatkowe (w miarę możliwości czasowych):

#### 2.4 Pomiar charakterystyk przejściowych bramek.

Połączyć układ pomiarowy według schematu w zależności jaka funkcję logiczną realizuje bramka na rysunku 10a lub rys.10b. Zasilić układ napięciem 5V.

**Na początku, nie podłączać do badanej bramki generatora funkcyjnego i oscyloskopu.**



Rys. 10. Układy do pomiaru charakterystyk przejściowych a) NAND, b) NOR.

**Ustawienie sygnału generatora:** Podłączyć wyjście generatora funkcyjnego do wejścia-1 oscyloskopu. Oscyloskop ma pracować w trybie DC z włączoną podstawą czasu. W generatorze wybrać sygnał trójkątny o częstotliwości 10 ÷ 100 Hz. Obserwując sygnał z generatora na oscyloskopie ustawić amplitudę sygnału trójkątnego 5V i składową stałą dobrać tak, aby sygnał zawierał się w przedziale 0 ÷ 5V. Pominiecie tego etapu grozi uszkodzeniem układu scalonego, bo sygnał wejściowy nie może przekraczać napięć zasilających (w dowolnej chwili napięcie nie może być ujemne i większe od +5V).

Podłączyć wejście 2 oscyloskopu do wyjścia bramki, a do wejścia badanej bramki podłączyć wejście 1 oscyloskopu i wyjście generatora funkcyjnego. Sprawdzić, czy bramka przełącza się na wyjściu.

Przełączyć oscyloskop w tryb XY, odłączyć wejścia (przełącznikami oscyloskopu), znaleźć i zapamiętać początek układu współrzędnych. Teraz można włączyć wejścia oscyloskopu. Na ekranie powinna pojawić się charakterystyka przejściowa bramki.

- **Przerysować lub wydrukować tę charakterystykę. Nie zapomnieć zaznaczyć początku układu współrzędnych.**
- **Z ekranu lub wydruku odczytać poziomy przełączania bramek i marginesy zakłóceń. Zapisać wyniki.**

#### 2.5 Zależność mocy strat od pojemności obciążającej bramkę

Dla bramki CMOS przy najwyższej częstotliwości przełączania:

- zapisać prąd pobierany przez układ z podłączonym oscyloskopem,
- odłączyć oscyloskop od wyjścia bramki przez wyjęcie kabla z gniazda na płycie z układem i zapisać prąd pobierany przez układ z odłączonym oscyloskopem.

Wyjaśnić zaobserwowane zjawisko. Jaki parametr wejścia oscyloskopu można na tej podstawie oszacować? Wykonać to szacowanie i porównać z danymi znamionowymi wejścia oscyloskopu (odczytać na obudowie obok gniazda wejściowego) i z pojemnością kabla koncentrycznego (około 100 pF/m).

### **3. Podsumowanie**

W podsumowaniu zamieścić wyniki pomiarów uzyskane w każdym etapie badań. Załączyć uzyskane wydruki (wykresy) przebiegów.

Wykresy powinny zawierać wyznaczone graficznie parametry bramek.

Zamieścić porównanie uzyskanych parametrów z parametrami katalogowymi (należy zwrócić uwagę na stosowane napięcie zasilania).