



Elektronika przyrządów półprzewodnikowych

Laboratorium nr 4

Badanie charakterystyk i parametrów bramek logicznych

Zagadnienia obowiązujące na kartkówce

- Podstawowe bramki logiczne – symbole i tabele prawdy.
- Podstawowa charakterystyka układów logicznych.
- Podstawowe parametry statyczne i dynamiczne bramek logicznych.
- Przełączanie układów logicznych.
- Budowa, schemat elektryczny oraz analiza działania bramki NOT, NAND i NOR wykonanej w technologii TTL lub CMOS.
- Rodziny układów scalonych.
- Porównanie układów scalonych technologii TTL oraz CMOS.
- Charakterystyki wejściowe, wyjściowe i przejściowe bramek logicznych TTL lub CMOS.
- Zadania obliczeniowe związane z programem ćwiczenia.

Literatura

- T. Ohly, Z. Radzimski, *Elementy elektroniczne cz. II*, Wydawnictwo PWr, Wrocław 1980
- W. Marciniak, *Przyrządy półprzewodnikowe i układy scalone*, WNT, Warszawa 1987
- R. Ćwirko, M. Rusek, W. Marciniak, *Układy scalone w pytaniach i odpowiedziach*, WNT, Warszawa 1987.

1. Wiadomości wstępne

1.1 Cyfrowe układy scalone - charakterystyka ogólna

Monolityczne krzemowe układy cyfrowe są wytwarzane w różnych technologiach i stopniach scalenia. W ramach technologii bipolarnej (dominujący element – tranzystor bipolarny *npn*) produkowane są układy TTL i ECL, a w technologii MOS (dominujący element – tranzystor polowy MOSFET) rodziny układów NMOS i CMOS. Układy CMOS (komplementarna technologia MOS) zbudowane są z powtarzających się elementów bazujących na dwóch tranzystorach MOSFET normalnie wyłączonych o dopełniających się (*komplementarnych*) typach kanałów (typu-n oraz typu-p).

Układy cyfrowe małej skali integracji, takie jak bramki (*gates*) czy przerzutniki (*flip-flops*), są wytwarzane w technologii „zaawansowanej” (*advanced*) TTL oraz CMOS. Natomiast technologie ECL, NMOS, i przed wszystkim CMOS stosowane są w układach wielkiej (LSI) i bardzo wielkiej (VLSI) skali integracji (pamięci, procesory). W układach VLSI stosuje się także łączenie technologii, bipolarnych (np. ECL) i CMOS, czyli technologię BiCMOS.

Układy cyfrowe, niezależnie od technologii wykonania, skali integracji, czy zastosowania realizują funkcje logiczne opisane algebrą Boole’a. W stanie ustalonym wejścia i wyjścia układów mogą przyjmować stan **0** lub **1**, co odpowiada określonym wartościom napięcia, ustalonym dla danej rodziny układów. **Dla** zwykle stosowanej **logiki dodatniej stan 0 oznacza stan niski (Low) – napięcie U_L , a stan 1 oznacza stan wysoki (High) – napięcie U_H** . Podstawowe układy cyfrowe to bramki logiczne NAND, AND, NOR, OR, NOT (**inwerter**). Najbardziej uniwersalne są bramki NAND, gdyż umożliwiają realizację pozostałych funkcji logicznych poprzez kombinację połączeń wielu identycznych bramek.

1.2 Podstawowe parametry układów cyfrowych

Zasadnicze parametry układów cyfrowych to:

- Napięcie zasilania, U_{CC}
- Zakresy napięć dla stanów logicznych **0** i **1**
- Czas propagacji, τ_p
- Moc strat, P
- Współczynnik dobroci, Q
- Marginesy zakłóceń, M
- Obciążalność, N

Wartości tych parametrów są z reguły różne dla różnych rodzin układów i dlatego łączenie odmiennych grup wymaga stosowania układów pośrednich zapewniających „zgodność łączeniową”.

NAPIĘCIE ZASILANIA

Każda rodzina układów cyfrowych ma wymagane napięcie zasilania, z ustaloną tolerancją (np. układy TTL, $U_{CC} = 5\text{ V} \pm 5\%$), ewentualnie podany jest dopuszczalny zakres napięć zasilania (np. CMOS, typ 4000, $U_{CC} = 3\text{ V} \div 18\text{ V}$). Napięcie zasilania może być ujemne (np.: układy bipolarne ECL, $U_{EE} = -5,2\text{ V}$). W razie wątpliwości, należy sprawdzać ten parametr w kartach katalogowych.

NAPIĘCIA STANÓW LOGICZNYCH

Stany logiczne, (sygnały logiczne) reprezentowane są w układach cyfrowych jako przedziały napięć wokół poziomu logicznego typowego dla danej rodziny układów. Jeden z poziomów nazywany jest stanem niskim (L-low), drugi stanem wysokim (H-high). Najczęściej przyjmuje się konwencję logiczną dodatnią, w której stanowi niskiemu (**0**) przypisuje się napięcie o niższej wartości względnej, a stanowi wysokiemu (**1**) napięcie o wyższej wartości względ-

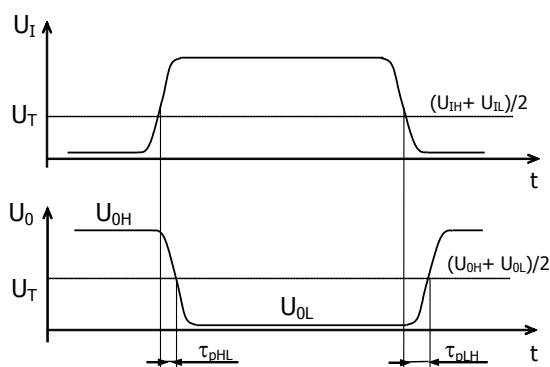
nej.

CZAS PROPAGACJI

Niezależnie od rodzaju technologii (rodziny układów), np. TTL czy CMOS, poszczególne tranzystory w układzie cyfrowym pracują dwustanowo. Albo są w stanie załączenia, albo w stanie wyłączenia. W związku z pewnym czasem potrzebnym na zmianę punktu pracy, występuje opóźnienie pomiędzy sygnałem na wyjściu i wejściu danego układu (np. bramki). Z punktu widzenia układu, czas ten potrzebny jest na przeładowanie pojemności złączowych i dyfuzyjnych w tranzystorach bipolarnych, a w tranzystorach MOSFET pojemności bramka-kanal. Dodają się także pojemności pasożytnicze (ścieżek połączeń, doprowadzeń) i pojemności obciążającej układ na wyjściu. Zazwyczaj do wyjścia układu podłączonych jest kilka wejść kolejnych układów.

Opóźnienie sygnału, zwane czasem propagacji, τ_p jest podstawowym parametrem charakteryzującym daną rodzinę układów i wskazuje na ograniczenie szybkości działania (częstotliwości pracy) układu. Typowe wartości czasów propagacji są **rzędu nanosekund** (bardzo wolne układy: rząd 100 ns, szybkie: poniżej 1 ns). Czas propagacji, definiuje się jako odstęp czasowy między zboczem impulsu wejściowego i wywołanym przezeń zboczem impulsu wyjściowego, przy umownie określonym poziomie napięcia na tych zboczach. W literaturze poziom ten określa się jako napięcie, przy którym następuje przełączenie bramki (np. dla układów TTL jest to 1,4 V) lub poziom odpowiadający połowie amplitudy napięcia przełączania. Istnieją dwa zasadnicze czasy propagacji: przy przejściu napięcia wyjściowego, U_0 z poziomu niskiego do wysokiego (τ_{pLH}), i odwrotnie, przy przejściu sygnału wyjściowego z poziomu wysokiego do niskiego (τ_{pHL}). Wartość τ_p określa się w związku z tym jako większy z tych dwóch czasów lub jako ich średnią arytmetyczną.

Sposób wyznaczania czasu propagacji za pomocą obserwacji sygnałów wyjściowego U_0 i wejściowego U_1 bramki pokazano na rys.1. W tym wypadku przyjęto interwały czasowe pomiędzy chwilami przejścia sygnałów przez wartość średnią napięcia $(U_H+U_L)/2$ na wyjściu i wejściu. Czas propagacji wyznaczamy jako średnią ze zmierzonych czasów:



$$\tau_p = (\tau_{pLH} + \tau_{pHL})/2$$

Rys. 1. Definicja czasów propagacji sygnału. Pokazano poziom napięcia przełączania dla układów TTL

Pomiary powinny być wykonane w ustalonych warunkach, przede wszystkim dla ustalonej pojemności obciążenia, C_{obc} układu. Dlatego, pomiary powinno się wykonywać oscyloskopem korzystając z sond z dzielnikiem impedancji zapewniającym małą (15pF) pojemność obciążenia mierzonej bramki. Sondy są dołączone do kabli koncentrycznych oscyloskopu. Bez stosowania sondy wyjście układu byłoby obciążone pojemnością kabla koncentrycznego (ok. 70pF/m).

MOC STRAT

Moc strat jest bardzo istotnym parametrem ograniczającym możliwości zasilania układu z baterii (sprzęt mobilny) oraz stopień scalania układu ze względu na rosnącą gęstość mocy rozpraszanej i wzrost temperatury układu.

Moc strat wyraża się zależnością:

$$P = U_{CC} \cdot I_{CC} \quad \text{gdzie: } U_{CC} - \text{napięcie zasilacza, } I_{CC} - \text{prąd pobierany z zasilacza}$$

Całkowita moc strat składa się z mocy statycznej P_{stat} , czyli mocy traconej w stanie ustalonym **1** i **0** oraz mocy dynamicznej P_{dyn} traconej w chwili zmiany stanu logicznego. Ta ostatnia zależy od szybkości przełączania układu (częstotliwości zegara f_z w układach sekwencyjnych). Typowe wartości mocy strat przeliczonej na jedną bramkę to rząd miliwatów (od mikrowatów P_{stat} w układach CMOS do $10\text{mW} \div 100\text{mW}$ w układach TTL. Moc dynamiczna zależy głównie od pojemności obciążającej układ, C_{obc} (często, jest to pojemność wejściowa kolejnej bramki), która jest przeładowywana prądem I_{CC} pobieranym z zasilacza. Jak wynika z poniższego równania, moc dynamiczna rośnie liniowo ze wzrostem częstotliwością przełączania f_z :

$$P_{\text{dyn}} = U_{CC}^2 C_{\text{obc}} f_z \quad \text{ponieważ } I_{CC} = U_{CC} C_{\text{obc}} f_z$$

Pomiędzy czasem propagacji i mocą strat istnieje następująca współzależność:

$$\text{gdy } \tau_p \downarrow \quad \text{to } P \uparrow$$

dlatego, przy ocenie porównawczej układów różnych rodzin stosuje się **współczynnik dobroci**.

WSPÓŁCZYNNIK DOBROCI

Współczynnik dobroci Q jest to iloczyn mocy pobieranej P przez układ cyfrowy oraz średniego czasu propagacji τ_p :

$$Q = P \cdot \tau_p \text{ [pJ]}$$

Ponieważ moc wyrażana jest zwykle w [mW], a czas propagacji w [ns], to współczynnik Q wyrażany jest w [pJ].

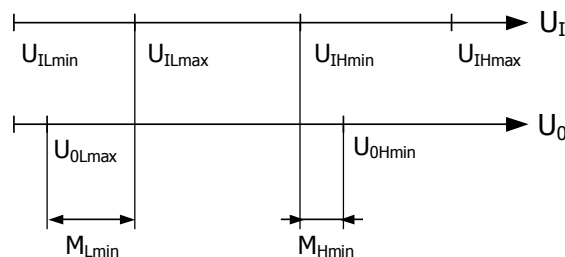
Parametr ten służy do porównywania między sobą różnych technologii układów cyfrowych. Ponieważ jest on stały dla danej technologii realizacji, za lepszy uważa się układ o mniejszym współczynniku Q .

MARGINESY ZAKŁÓCEŃ

Marginesy zakłóceń (zwane też marginesami szumów) to różnice wartości napięć na wejściu i wyjściu dla jednakowego stanu **0** oraz **1**. Określają maksymalną amplitudę sygnału zakłócającego, który jeszcze nie spowoduje niepożądanego przełączenia układu:

$$M_{L\text{min}} = |U_{IL\text{max}} - U_{OL\text{max}}| \quad \text{oraz} \quad M_{H\text{min}} = |U_{IH\text{max}} - U_{OH\text{min}}|$$

Interpretacja marginesów zakłóceń przedstawiona jest na rys. 2.



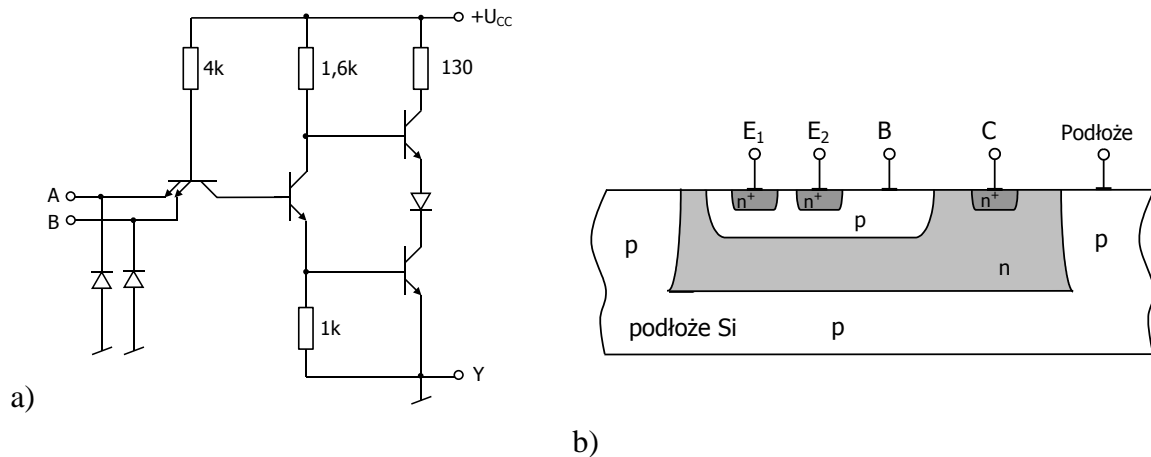
Rys. 2. Definicje marginesów zakłóceń, U_I , U_0 – poziom napięć na WE i WY.

OBciążALNOŚĆ

Obciążalność służy do określenia możliwości współpracy wielu układów w ramach tej samej grupy (rodziny). Jest miarą ilości wejść, które mogą być jednocześnie podłączone do jednego wyjścia analogicznego układu, mówiąc inaczej: wejścia następnych bramek są sterowane przez wyjście jednej bramki. Wartość ta wynosi od 10 do 40 w zależności od rodziny układów. W układach TTL maksymalna obciążalność wynika z wydajności prądowej wyjścia i wejścia bramki.

1.3 Budowa układu TTL

TTL to rodzina bipolarnych układów wytwarzanych w wielu wersjach różniących się przede wszystkim czasem propagacji. Oznaczenie katalogowe to 74xx (54xx), gdzie xx oznacza symbol układu logicznego. Na rys. 3 przedstawiono schemat 2-wejściowej bramki TTL standard oraz przekrój struktury wieloemiterowego tranzystora wejściowego bramki. Tranzystor ulokowany jest na wyspie typu **n** w podłożu (płytkie krzemowej) typu **p**. Jest to przykład zastosowania elektrycznej **izolacji złączowej** pomiędzy różnymi elementami znajdującymi się w układzie.



Rys. 3. Wejściowa bramka NAND TTL standard: a) schemat elektryczny, b) przekrój struktury wieloemiterowego tranzystora na wejściu

Nowszą wersją układów jest rodzina TTL Schottky (oznaczenie 74Sxx). W porównaniu z serią oryginalną, TTL standard (obecnie rzadko stosowaną), tranzystory mają tutaj złącza kolektor-baza z bocznikowanymi diodami Schottky'ego, co zapobiega wchodzeniu tranzystorów w nasycenie w stanie włączenia i zmniejsza pojemności przełączania. Obecnie produkowane są układy zaawansowane (*Advanced*) rodziny TTL Schottky, rodziny układów: AS, ALS i FAST. Podstawowe parametry układów wybranych serii podano w Tabeli 1.

TABELA 1 PARAMETRY UKŁADÓW TTL.

Rodzina	Oznaczenie	P [mW]	τ_p [ns]	Współczynnik jakości Q [pJ]	Obciążalność
Standard	TTL	10	10	100	10
Advanced Schottky	TTL AS	8	1,7	13,6	48
Adv. Low Power	TTL ALS	1,2	4	4,8	40
FAST	TTL- F	5,5	3,5	19	33

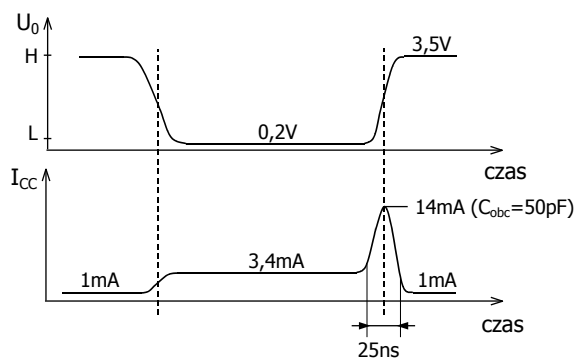
Wszystkie układy TTL 74xx zasilane są napięciem $5\text{ V} \pm 5\%$ (ewentualnie $5\text{ V} \pm 10\%$ – układy 54xx – seria „wojskowa”)

Napięcia stanów logicznych:

stan niski (0) – nominalnie 0,2 V (przedział: 0 V–0,4 V)

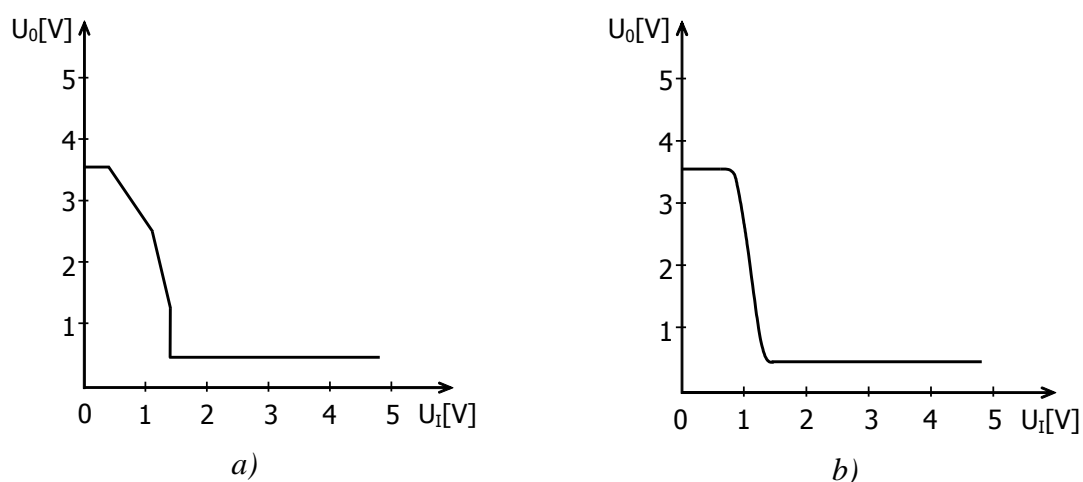
stan wysoki (1) – nominalnie 3,5 V (przedział 2,4 V–5 V)

Na rys. 4 przedstawiono charakterystyki czasowe przełączania bramki. Jak widać, układy TTL pobierają prąd z zasilacza, I_{CC} także w stanie ustalonym (stany 0 i 1). Stąd znaczna moc statyczna pobierana ze źródła zasilania, co praktycznie uniemożliwia wykorzystanie zasilania bateryjnego (przeciwnie do układów CMOS). W czasie przełączania pobór prądu wzrasta nawet do kilkunastu miliamperów.



Rys. 4. Pobór prądu przez bramkę TTL standard w czasie pracy.

Charakterystyki przejściowe, czyli statyczne charakterystyki przełączania przedstawiono na rys. 5. Dla rodziny TTLS charakterystyka różni się nieznacznie, jednak napięcie przełączania 1,4 V pozostaje takie samo jak dla TTL standard.

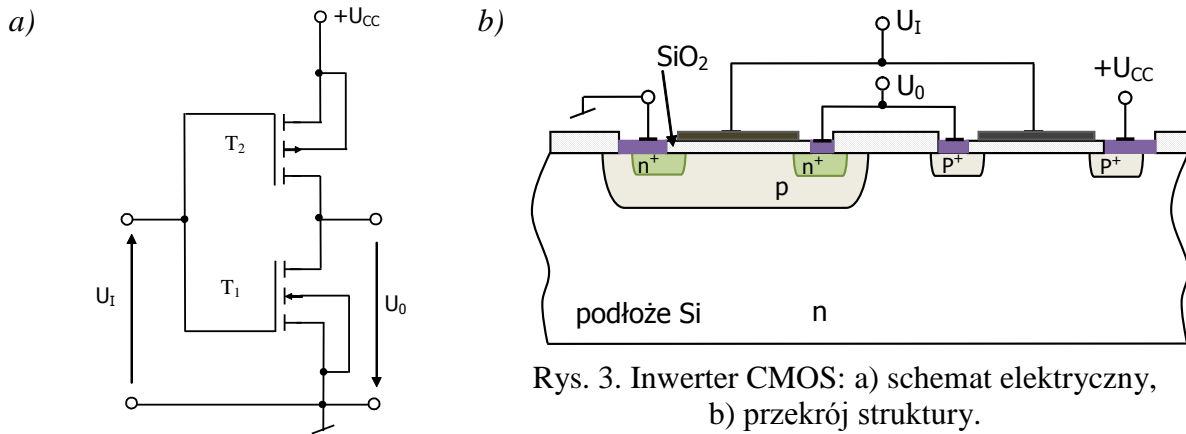


Rys. 5. Charakterystyki przejściowe układów TTL: a) TTL standard, b) TTL Schottky

W celu ograniczenia możliwości generacji sygnałów zakłócających, nie podłączone wejścia bramek TTL NAND należy podłączać przez rezystor $1\text{k}\Omega$ do zacisku zasilania U_{CC} (dla bramek NOR do masy układu).

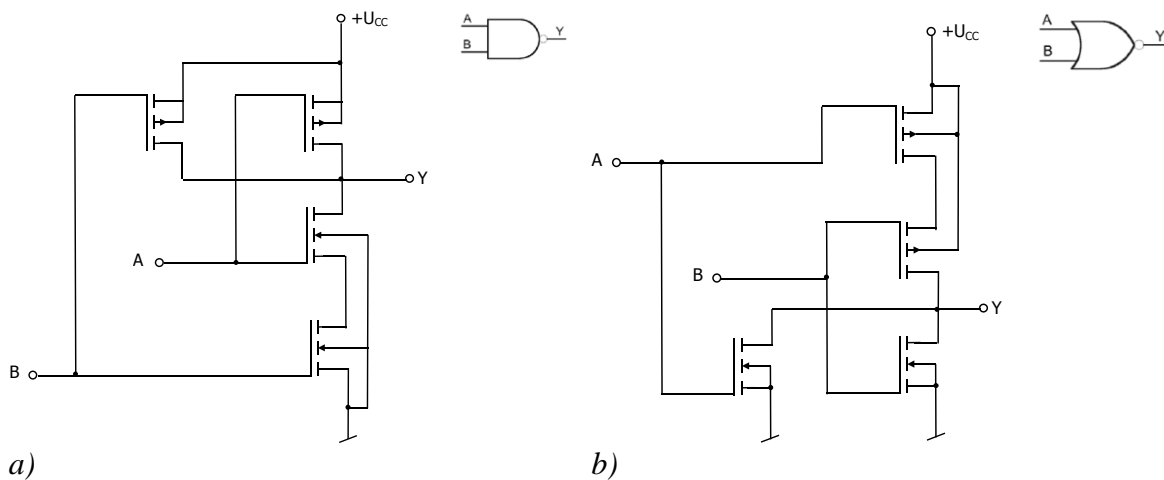
1.3 Budowa układu CMOS

Podstawową komórką układów CMOS (komplementarna technologia MOS) jest inwerter logiczny, zbudowany z dwóch tranzystorów MOSFET normalnie wyłączonych (E-MOSFET) o różnych typach kanałów (rys. 3)



Inwerter tworzą dwa tranzystory z kanałami wzbogacanymi typu-n (T₁) oraz typu-p (T₂), przy czym dreny i bramki tych tranzystorów są połączone ze sobą, natomiast źródła i podłoża są przyłączone do linii zasilania (rys. 3a). Gdy napięcie wejściowe jest równe napięciu zasilania $U_I = U_{CC}$, tranzystor T₁ jest w stanie przewodzenia, a tranzystor T₂ nie przewodzi. Wówczas napięcie wyjściowe jest, praktycznie biorąc, bliskie 0V, czemu odpowiada stan logiczny „0”. Natomiast, gdy napięcie wejściowe jest równe 0, tranzystor T₁ jest w stanie nieprzewodzenia a tranzystor T₂ w stanie przewodzenia. Wówczas napięcie wyjściowe jest, praktycznie biorąc, równe napięciu zasilania U_{CC} . Odpowiada temu stan logiczny wysoki, czyli „1”.

Na rys. 4 pokazano układ elektryczny oraz symbol dwuwejściowej bramki CMOS NAND oraz NOR.



Rys. 4. Układ elektryczny oraz symbol dwuwejściowej bramki CMOS: a) NAND, b) NOR.

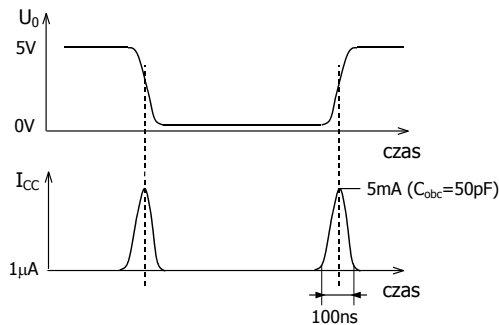
Układy CMOS stanowią dziś podstawową grupę układów VLSI. Także w małej skali integracji (SSI) układy bramek i przerzutników w technologii CMOS odgrywają istotną rolę, zastępując układy TTL w zastosowaniach wymagających ograniczenia mocy pobieranej z zasilacza. Możliwe jest więc długoczasowe zasilanie bateryjne.

Podstawową zaletą układów CMOS jest minimalna moc statyczna (rzędu mikrowatów), gdyż

zawsze jeden z tranzystorów nie przewodzi. W stanie ustalonym **1** lub **0** jeden z tranzystorów inwertera jest wyłączony i pobór prądu jest zablokowany (z wyjątkiem niewielkiego prądu pasożytniczego upływu). Straty mocy rosną intensywnie dopiero przy znacznym zwiększeniu częstotliwości przełączania. W chwili przełączenia obydwa tranzystory są chwilowo załączone. Moc dynamiczna rośnie liniowo z częstotliwością pracy:

$$P_{\text{dyn}} = U_{\text{CC}}^2 C_{\text{obc}} f_z$$

Na rys. 5 przedstawiono wykres poboru prądu z zasilania w czasie pracy układu CMOS (tu wersja 4000B – stąd długie czasy propagacji).



Rys. 5 Pobór prądu przez bramkę CMOS (4000B) w czasie przełączania.

Ponieważ moc tracona jest proporcjonalna do kwadratu napięcia zasilania, układy CMOS VLSI (procesory, pamięci) dostosowane są do niższego napięcia zasilania: 3,3V lub 2,5V. W tym ostatnim przypadku, w porównaniu z zasilaniem 5V, zmniejszenie mocy jest czterokrotne:

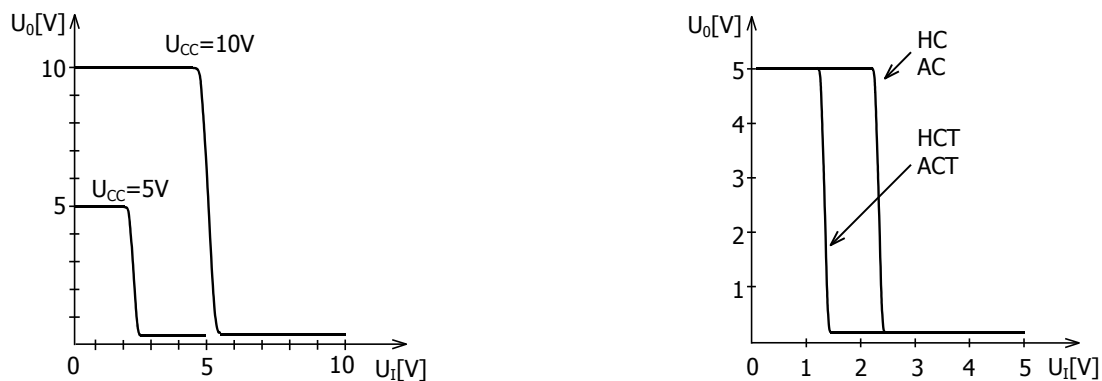
$$(5/2,5)^2 = 4$$

Niskie napięcie zasilania niesie dodatkową zaletę: mały poziom zakłóceń elektromagnetycznych wnoszonych przez sam układ. Układy CMOS o małej szybkości działania zasilane z baterii (w zegarkach, kalkulatorach, itp.) mają obniżone napięcia zasilania, nawet do 0,8 V ÷ 1,5 V, co pozwala na mały pobór energii.

Z kolei praca pewnych wersji układów przy stosowanych różnych napięciach zasilania jest możliwa dzięki unikatowej charakterystyce przejściowej (przełączania) układów CMOS. Charakterystyki przejściowe układów pokazano na Rys. 6.

Napięcie stanów wysokiego, **H** i niskiego, **L** to odpowiednio $U_H = U_{\text{CC}}$ (napięcie zasilania) oraz $U_L = 0V$ (masa), a napięcie przełączania $U_{\text{HT}} = \frac{1}{2} U_{\text{CC}}$ (wyjątek stanowią układy serii HCT i ACT, zamienniki **TTL**, dla których $U_{\text{HT}} = 1,4V$). Dzięki temu układy CMOS mają duże marginesy zakłóceń i są odporne na zakłócenia nawet dla niewielkich amplitud sygnału logicznego. Układy serii 4000B (74C) pozwalają na pracę w szerokim zakresie napięć zasilania 3 V ÷ 18 V i znajdują zastosowanie w warunkach przemysłowych, gdzie duże zakłócenia zewnętrzne mogły by spowodować niepożądane przełączenie układu.

Podstawowe parametry układów wybranych serii CMOS podano w Tabeli 1.



a) b)
 Rys. 6. Charakterystyki przejściowe CMOS: a) układ 4000B (74C) dla różnych wartości napięć zasilania, b) układy HC, HCT dla zasilania 5V.

TABELA 1 PARAMETRY UKŁADÓW CMOS

Rodzina	Oznaczenie	$U_{CC} [V]$	$\tau_p [ns]$	$f_{pracy} [MHz]$
Z bramką MOS metaliczną	4000B (74C)	3 - 18	125	4
Szybkie	HC	2 - 6	8	50
Szybkie (zamienniki TTL)	HCT	5	8	50
Zaawansowane	AC, (AHC)	2 - 6	3 (5,2)	160 (115)
Zaawansowane (zamienniki TTL)	ACT, (AHCT)	5	3 (5,2)	160 (115)
Niskonapięciowe	LV	2 - 5,5	9	70
Zaawansowane, niskonapięciowe	ALVC	1,2 - 3,6	3	300

Uwaga: Poza serią 4000B, wszystkie inne mają bramki tranzystorów MOSFET z krzemu polikrystalicznego (tzw. bramki polikrzemowe)

Podczas obsługi (montażu) układów CMOS należy postępować ostrożnie, gdyż układy są wrażliwe na ładunki elektrostatyczne. Może nastąpić przebicie tlenku bramkowego w tranzystorach MOSFET. Mimo istniejących wewnętrznych zabezpieczeń, wyprowadzeń nie należy dotykać!

Niepodłączone wejścia bramek należy zawsze dołączyć do U_{CC} lub masy w zależności od konfiguracji układu. Konieczne jest to nie tylko ze względu na niepożądane zakłócenia, ale także możliwość ładowania się wejścia i przejście w stan poboru prądu z zasilacza (straty mocy – grzanie się układu).

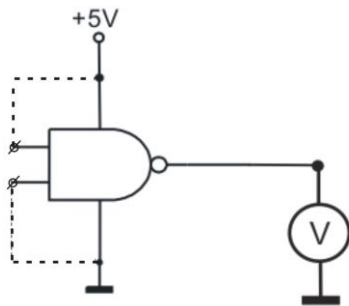
2. Pomiary

W ramach ćwiczenia badane są parametry bramek logicznych układów TTL (seria 74xx). Należy sprawdzić w katalogu rodzaj i typ badanego układu (w tym realizowaną funkcję logiczną).

2.1 Sprawdzenie działania (realizacji funkcji logicznych) bramek

W katalogu odszukać dane techniczne badanych układów. Zapisać funkcje logiczne i poziomy napięć odpowiadających stanom logicznym *Low* (0) i *High* (1) badanych układów.

Połączyć układ do pomiarów bramki jak na rysunku 6.



Rys.6. Układ do sprawdzanie funkcji logicznych dowolnej bramki dwuwejściowej.

Zasilić badany układ napięciem 5 V. Do wejść doprowadzić napięcia z zasilacza napięciowego dc odpowiadające stanom 0 lub 1. Najprościej można to zrobić łącząc przewodem (na rys.6 linia kropkowana) wejścia bramki z ujemnym (stan 0) lub z dodatnim (stan 1) biegunem zasilania. Odczytać z woltomierza i zapisać wartość napięcia wyjściowego dla wszystkich kombinacji stanów logicznych na wejściach bramki. Na tej podstawie utworzyć *tabelę prawdy* układu.

Sprawdzenie wykonać dla wszystkich bramek w danym układzie scalonym. Jeśli nie wszystkie bramki w danym układzie są sprawne należy wymienić układ na nowy i badanie powtórzyć.

2.2 Pomiar czasu propagacji sygnału przez bramkę.

Połączyć układ pomiarowy wg. rys. 7. Kable koncentryczne do pomiarów powinny być wyposażone w sondy z dzielnikiem impedancji zapewniającym stałą i niewielką wartość pojemności obciążającą wyjście bramki.

Na początku nie podłączać generatora i oscyloskopu do bramek.

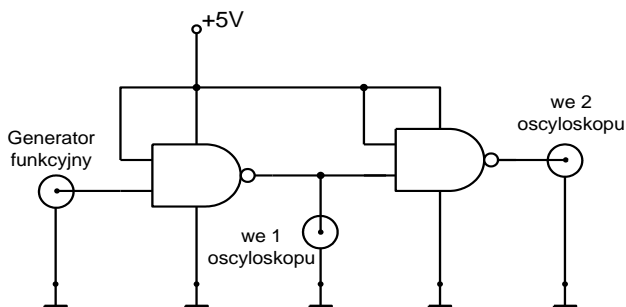
Ustawienie sygnału generatora: Podłączyć wyjście generatora funkcyjnego do wejścia-1 oscyloskopu. Oscyloskop ma pracować w trybie DC z włączoną podstawą czasu. Wybrać w generatorze sygnał prostokątny o amplitudzie 4 V bez ujemnej składowej stałej - **obserwacja sygnału na ekranie oscyloskopu, nie na panelu generatora.** Pominięcie tego etapu grozi uszkodzeniem układu scalonego, bo sygnał wejściowy nie powinien przekraczać napięcia zasilania 5V.

Podłączyć generator funkcyjny i oscyloskop do badanego układu. Pierwsza bramka pełni rolę pomocniczą i formuje impulsy z generatora. Należy zmierzyć czasy propagacji drugiej bramki. Jeśli dysponujemy generatorem o dobrej jakości impulsów (strome zbocza, czas narostu rzędu 1 ns) można ograniczyć układ pomiarowy tylko do jednej bramki.

Sprawdzić w danych katalogowych jakich czasów propagacji należy oczekiwać dla układów TTL.

Ustalić częstotliwość impulsów z generatora $f = 10 \text{ kHz}$ lub 100 kHz .

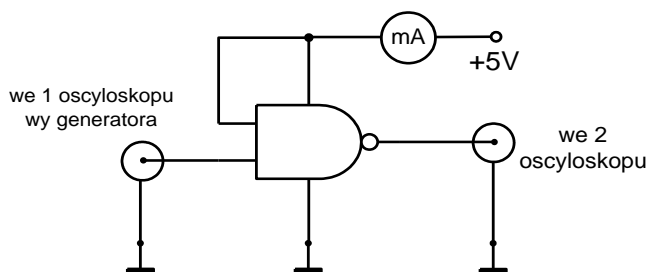
- wyznaczyć czasy propagacji bramki z definicji podanej na rys.1 w Rozdziale 1.
- przerysować lub wydrukować odpowiednie wykresy z ekranu oscyloskopu i dołączyć do sprawozdania.



Rys. 7. Układ do pomiaru czasów propagacji bramki NAND.

2.3 Pomiar mocy pobieranej przez bramkę w czasie pracy statycznej i dynamicznej.

Połączyć układ pomiarowy wg. rys. 8.



Rys. 8. Układ do pomiaru mocy pobieranej przez bramkę NAND.

Generator funkcyjny ustawić tak jak do pomiaru czasu propagacji sygnału przez bramkę i podłączyć do wejścia wybranej bramki. Wejścia pozostałych bramek w układzie podłączyć do dodatniego bieguna napięcia zasilania (5V) w celu ustalenia stanu logicznego. Na oscyloskopie sprawdzić, czy bramka przełącza sygnał na wyjściu. Amperomierzem (dc) mierzyć średni prąd pobierany przez bramkę dla częstotliwości kluczowania 1 kHz , 1 MHz , 10 MHz oraz 20 MHz . Odłączyć sygnał wejściowy, wejście połączyć do dodatniego bieguna zasilania i zmierzyć prąd pobierany przez układ w stanie statycznym. Obliczyć moc pobieraną i traconą w jednej bramce w stanie statycznym i dynamicznym.

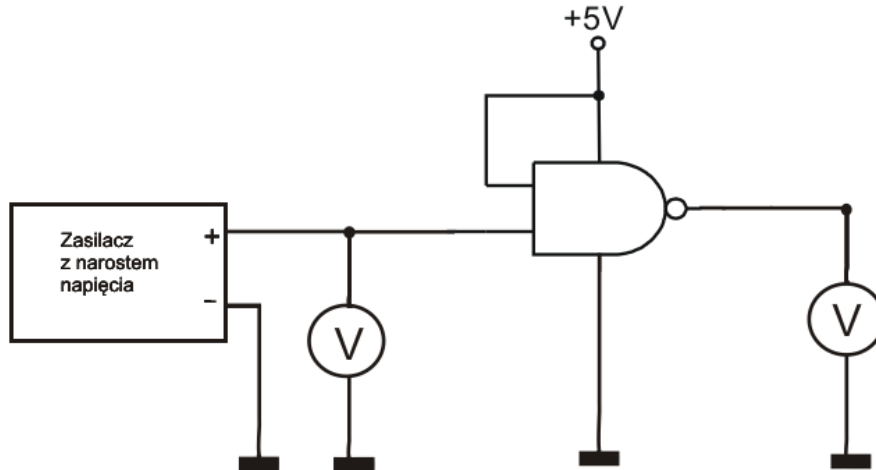
- Zapisać wyniki w tabeli. Jaki wniosek można wysnuć z wykonanych pomiarów?

Jeżeli jest dostępny układ CMOS 74HCT00 można wykonać pomiary porównawcze.

2.4 Pomiar charakterystyk przejściowych bramek.

Połączyć układ pomiarowy według schematu na rys. 9.

Do wyznaczenia charakterystyki przejściowej $U_{wy}=f(U_{we})$ wykorzystać program komputerowy REJESTRATOR. Woltomierze na schemacie połączone są łączem RS do komputera.



Rys. 9. Układ do pomiaru charakterystyk przejściowych bramki NAND.

Amplitudę zasilacza z narostem napięcia ustawiać równą napięciu zasilania układu, czyli 5 V; ograniczenie prądu na 10 mA. Pominięcie tego etapu grozi uszkodzeniem układu, ponieważ sygnał wejściowy nie może przekraczać napięć zasilających (w dowolnej chwili napięcie nie powinno być ujemne lub większe niż 5 V).

- Przerysować lub wydrukować wykres z charakterystykami.
- Odczytać napięcie przełączania bramki i napięcia stanów 1 oraz 0.
- Zapisać wyniki na otrzymanym wykresie i w sprawozdaniu.

3. Podsumowanie

W podsumowaniu zamieścić wyniki pomiarów uzyskane w każdym etapie badań.

Załączyć uzyskane wydruki (wykresy) przebiegów.

Wykresy powinny zawierać wyznaczone parametry bramek.

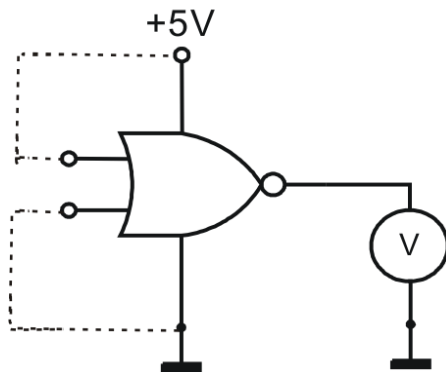
Zamieścić porównanie wartości uzyskanych parametrów i parametrów katalogowych

2. Pomiary

W ramach ćwiczenia badane są właściwości wybranych układów scalonych CMOS (seria 4000B), np.: (MCY) 74001, 74011. **Należy sprawdzić w katalogu rodzaj i typ badanego układu (w tym realizowaną funkcję logiczną).**

2.1 Sprawdzenie działania (realizacji funkcji logicznych) bramek

W katalogu odszukać dane techniczne badanych układów. Zapisać funkcje logiczne i poziomy napięć odpowiadających stanom logicznym *Low* (**0**) i *High* (**1**) badanych układów. Połączyć układ do pomiarów bramki jak na rysunku 7.



Rys.7. Układ do sprawdzenia funkcji logicznych bramek typu NOR.

Uwaga: Schemat pokazuje tylko pojedynczą bramkę dwuwejściową, układy składają się zwykle z kilku bramek.

Zasilić badany układ napięciem 5 V jak na rys. 7. Do wejść doprowadzić napięcia z zasilacza napięciowego dc odpowiadające stanom **0** lub **1**. Najprościej można to zrobić łącząc przewodem wejścia bramki z minusem zasilacza (**stan 0**) lub +5 V zasilacza (**stan 1**). Odczytać z woltomierza i zapisać napięcia wyjściowe dla wszystkich kombinacji stanów logicznych na wejściu. Utworzyć **tabelę prawdy** układu.

Sprawdzenie wykonać dla wszystkich bramek w danym układzie scalonym. Jeśli nie wszystkie bramki w danym układzie są sprawne należy wymienić układ na nowy i badanie powtórzyć.

2.2 Pomiar czasu propagacji sygnału przez bramkę.

Połączyć układ pomiarowy wg. rys. 8.

Na początku nie podłączać generatora i oscyloskopu do bramek.

Ustawienie sygnału generatora: Podłączyć wyjście generatora funkcyjnego do wejścia-1 oscyloskopu. Oscyloskop ma pracować w trybie DC z włączoną podstawą czasu. Wybrać w generatorze sygnał prostokątny o amplitudzie 5 V i składową stałą taką, aby sygnał zawierał się w zakresie 0÷5 V (pod warunkiem, że układ badany zasilany jest napięciem 5 V). Pominięcie tego etapu grozi uszkodzeniem układu scalonego, bo sygnał wejściowy nie może przekraczać napięć zasilających

Podłączyć generator funkcyjny i oscyloskop do badanego układu. Pierwsza bramka pełni rolę pomocniczą i formuje impulsy z generatora. Należy zmierzyć czasy propagacji drugiej bramki. Jeśli dysponujemy generatorem o dobrej jakości impulsów (strome zbocza, czas narostu rzędu ns) można ograniczyć układ pomiarowy tylko do jednej bramki.

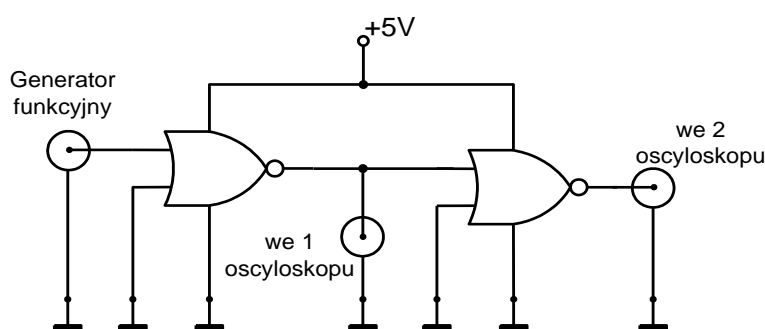
W zależności od czasu propagacji bramek dobrać częstotliwość impulsów z generatora. Na przykład $f = 10 \text{ kHz}$ dla serii 4000B.

- wyznaczyć czasy propagacji bramki z definicji podanej na rys.1 w Rozdziale 1.
- dla układu CMOS 4000B zmierzyć czasy propagacji dla różnych napięć zasilania: 3 V, 5 V, 7 V.

Uwaga: W każdym przypadku należy wcześniej ustawić amplitudę impulsów generatora równą danemu napięciu zasilania.

Zaobserwować różnice wartości zmierzonych czasów propagacji. Wyniki ująć w tabeli.

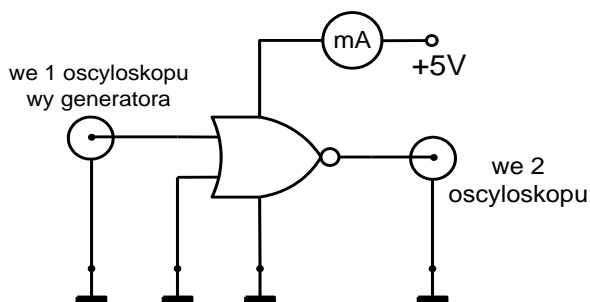
- przerysować lub wydrukować odpowiednie wykresy z ekranu oscyloskopu (przykład dla jednego napięcia zasilania) i dołączyć do sprawozdania.



Rys. 8. Układ do pomiaru czasów propagacji bramki NOR.

2.3 Pomiar mocy pobieranej przez bramkę w zależności od częstotliwości przełączania.

Połączyć układ pomiarowy wg. rys. 9.



Rys. 9. Układ do pomiaru mocy pobieranej przez bramkę NOR.

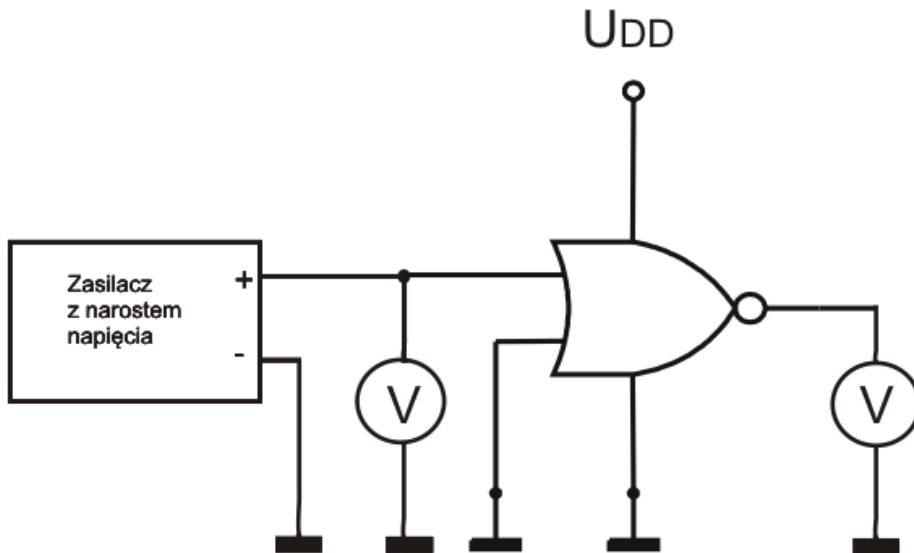
Generator funkcyjny ustawić tak jak do pomiaru czasu propagacji sygnału przez bramkę i podłączyć do badanej bramki. Na oscyloskopie sprawdzić, czy bramka przełącza sygnał na wyjściu. Amperomierzem (DC) zmierzyć średni prąd pobierany przez bramkę w zależności od częstotliwości przełączania. Pomiarzy wykonać w zakresie częstotliwości $100\text{Hz} \div 10\text{MHz}$, zmieniając częstotliwość co 1 dekadę chyba, że wcześniej bramka przestanie przełączać. (Dlaczego tak może się stać?)

- **Zapisać wyniki w tabeli. Narysować wykres otrzymanej zależności $I_{zas} = f(f)$.**

2.4 Pomiar charakterystyk przejściowych bramek.

Połączyć układ pomiarowy według schematu na rys.10. Wykonać pomiary dla trzech wartości napięć zasilania U_{DD} : 15 V, 10 V i 5 V.

Do wyznaczenia charakterystyki przejściowej $U_{wy} = f(U_{we})$ wykorzystać program REJESTRATOR X-Y. Woltomierze na schemacie połączone są łączem RS do komputera.



Rys. 10. Układ do pomiaru charakterystyk przejściowych bramki NOR.

Amplitudę zasilacza z narostem napięcia ustawiać zawsze równą napięciu zasilania układu, czyli 15 V, 10 V i 5 V; ograniczenie prądu na 10 mA. Pomińcie tego etapu grozi uszkodzeniem układu scalonego, ponieważ sygnał wejściowy nie może przekraczać napięć zasilających (w dowolnej chwili napięcie nie może być ujemne lub większe od napięcia zasilania).

- **Przerysować lub wydrukować wykres z charakterystykami.**
- **Odczytać napięcia przełączania bramek oraz napięcia stanów 1 oraz 0.**
- **Zapisać wyniki.**

3. Podsumowanie

W podsumowaniu zamieścić wyniki pomiarów uzyskane w każdym etapie badań.

Załączyć uzyskane wydruki (wykresy) przebiegów.

Wykresy powinny zawierać wyznaczone parametry bramek.

Zamieścić porównanie uzyskanych parametrów z parametrami katalogowymi (należy zwrócić uwagę na stosowane napięcia zasilania).